



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11307549 A**(43) Date of publication of application: **05.11.99**

(51) Int. Cl.

H01L 21/338**H01L 29/812****H01L 21/28****H01L 21/027**(21) Application number: **10111682**(22) Date of filing: **22.04.98**(71) Applicant: **MATSUSHITA ELECTRIC IND CO LTD**

(72) Inventor: **ANDA YOSHIHARU
MATSUNO TOSHINOBU
NISHII KATSUNORI
INOUE KAORU
YANAGIHARA MANABU
TANABE MITSURU**

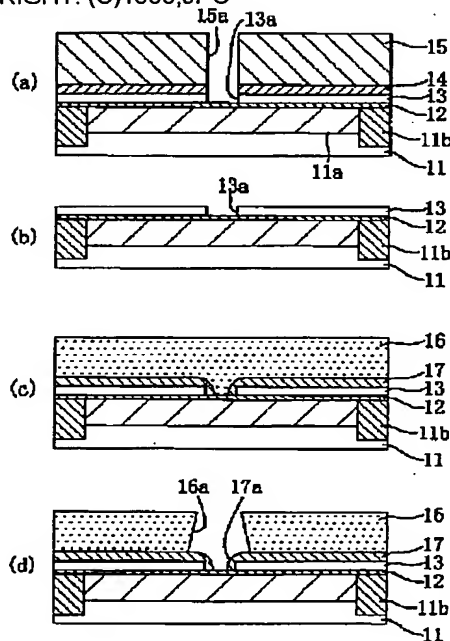
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a fine patterning which is realized through EB exposure with a high throughput by using an i-line stepper.

SOLUTION: After a first resist film 13 and a buffer film 14 for EB exposure and a second resist film 15 for i-line exposure are sequentially applied to the surface of a substrate 11, a first opening 15a is formed by patterning the second resist film 15 and a buffer film 14. Then a second opening 13a, to which the pattern of the second resist film 15 is transferred, is formed through the first resist film 13 by dry-etching the resist film 13 by the use of the second resist film 15 as a mask. After the second opening 13a has been formed, a third resist film 16, which is composed of a chemically amplified resist and forms a mixing layer 17 together with the first resist film 13, is applied to the entire surface of the resist film 13. As a result, the internal surface of the second opening 13a is coated with the mixing layer 17, and the opened width of the opening 13a is reduced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-307549

(43) 公開日 平成11年(1999)11月5日

(51) Int.Cl.*
H 0 1 L 21/338
29/812
21/28
21/027

識別記号

F I
H 0 1 L 29/80 F
21/28 F
21/30 5 4 1 Z
5 7 6

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願平10-111682

(22) 出願日 平成10年(1998) 4月22日

(71) 出願人 000005821

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 按田 義治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 松野 年伸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 西井 勝則

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 前田 弘 (外 2 名)

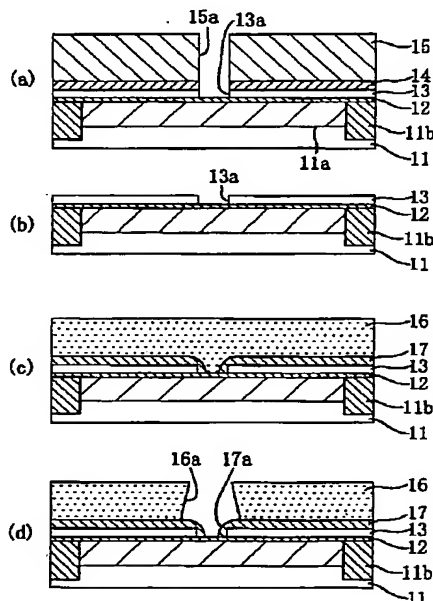
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 i 線ステッパを用いて高スループットで且つ E B 露光並みに微細なパターンニングを行なえるようにする。

【解決手段】 基板 1 1 上に、E B 露光用の第 1 のレジスト膜 1 3 とバッファ膜 1 4 と i 線露光用の第 2 のレジスト膜 1 5 とを順次塗布し、その後、第 2 のレジスト膜 1 5 及びバッファ膜 1 4 にパターンニングを行なって第 1 の開口部 1 5 a を形成する。次に、第 2 のレジスト膜 1 5 をマスクとして第 1 のレジスト膜 1 3 に対してドライエッチングを行なって、第 1 のレジスト膜 1 3 に第 2 のレジスト膜 1 5 のパターンが転写された第 2 の開口部 1 3 a を形成する。次に、第 1 のレジスト膜 1 3 の全面に、該第 1 のレジスト膜 1 3 とミキシング層 1 7 を形成する化学増幅型の第 3 のレジスト膜 1 6 を塗布する。これにより、第 2 の開口部 1 3 a の壁面がミキシング層 1 7 に覆われて該第 2 の開口部 1 3 a の開口幅が縮小される。



【特許請求の範囲】

【請求項1】 半導体基板の上に、頂部と該頂部から下方に延びる脚部とからなるT型のゲート電極を形成する半導体装置の製造方法であって、
前記半導体基板の上に紫外線に対して反応しない第1のレジスト膜を塗布する工程と、
前記第1のレジスト膜の上に、該第1のレジスト膜と該第1のレジスト膜の上に塗布される第2のレジスト膜とが互いに混合することを防止するバッファ膜を形成する工程と、
前記バッファ膜の上に紫外線に対して反応する前記第2のレジスト膜を塗布する工程と、
前記第2のレジスト膜に対して紫外線を照射することにより、前記第2のレジスト膜をパターンニングした後、パターンニングされた前記第2のレジスト膜を現像することにより、前記第2のレジスト膜に第1の開口部を形成する工程と、
前記バッファ膜における前記第2のレジスト膜の前記第1の開口部に露出する領域を除去する工程と、
前記第2のレジスト膜及びバッファ膜をマスクとして前記第1のレジスト膜に対してエッチングを行なうことにより、前記第1のレジスト膜に前記第2のレジスト膜の前記第1の開口部が転写された第2の開口部を形成する工程と、
前記第2のレジスト膜及びバッファ膜を除去した後、前記半導体基板の上に全面にわたって紫外線に対して反応する第3のレジスト膜を塗布することにより、前記第1のレジスト膜と前記第3のレジスト膜との界面に、該第1のレジスト膜と該第3のレジスト膜とが混合してなるミキシング層を形成する工程と、
前記第3のレジスト膜に対して紫外線を照射することにより、前記第3のレジスト膜をパターンニングした後、パターンニングされた前記第3のレジスト膜を現像することにより、前記第3のレジスト膜に前記ゲート電極の頂部形成領域となる上層開口部を形成すると共に、前記第1のレジスト膜の前記第2の開口部の壁面が前記ミキシング層により覆われ、前記ゲート電極の脚部形成領域となる下層開口部を形成する工程と、
前記半導体基板の上における前記下層開口部及び上層開口部に導体膜を充填することにより、前記導体膜からなるT型のゲート電極を形成する工程とを備えていることを特徴とする半導体装置の製造方法。
【請求項2】 半導体基板の上に紫外線に対して反応しない第1のレジスト膜を塗布する工程と、
前記第1のレジスト膜の上に、該第1のレジスト膜と該第1のレジスト膜の上に塗布される第2のレジスト膜とが互いに混合することを防止するバッファ膜を形成する工程と、
前記バッファ膜の上に紫外線に対して反応する前記第2のレジスト膜を塗布する工程と、

前記第2のレジスト膜に対して紫外線を照射することにより、前記第2のレジスト膜をパターンニングした後、パターンニングされた前記第2のレジスト膜を現像することにより、前記第2のレジスト膜に第1の開口部を形成する工程と、
前記バッファ膜における前記第2のレジスト膜の前記第1の開口部に露出する領域を除去する工程と、
前記第2のレジスト膜及びバッファ膜をマスクとして前記第1のレジスト膜に対してエッチングを行なうことにより、前記第1のレジスト膜に前記第2のレジスト膜の前記第1の開口部が転写された第2の開口部を形成する工程と、
前記第2のレジスト膜及びバッファ膜を除去した後、前記半導体基板の上に全面にわたって紫外線に対して反応する第3のレジスト膜を塗布することにより、前記第1のレジスト膜と前記第3のレジスト膜との界面に、該第1のレジスト膜と該第3のレジスト膜とが混合してなるミキシング層を形成する工程と、
前記第3のレジスト膜を現像することにより、前記第1のレジスト膜に前記第2の開口部の壁面が前記ミキシング層により覆われてなる第3の開口部を形成する工程と、
前記半導体基板の上における前記第3の開口部に導体膜を充填することにより、前記導体膜からなる配線パターンを形成する工程とを備えていることを特徴とする半導体装置の製造方法。

【請求項3】 前記第1のレジスト膜はポリメチルメタクリレートを含むレジストからなることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項4】 前記バッファ膜はポリジメチルグルタリイミドを含むレジストからなることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項5】 前記バッファ膜は金属からなることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項6】 前記第2のレジスト膜はエチルセロソルブアセテートとノボラック樹脂とを含むレジストからなることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【請求項7】 前記第3のレジスト膜はプロピレングリコールモノメチルエーテルアセテートとメタクリル樹脂とを含むレジストからなることを特徴とする請求項1又は2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置、特に、ゲート長又は配線幅が0.1 μm ~ 0.2 μm 程度にまで微細化される半導体装置の製造方法に関する。

【0002】

【従来の技術】 近年、ますます進展する高度情報化社会

に向けて、未だ広大な周波数資源を有する、周波数が30GHz以上のミリ波帯域の、マルチメディア移動体通信、無線LAN及び自動車衝突防止用レーダー等への応用が期待されている。動作周波数にミリ波帯域を用いる超高周波デバイスの実現にはゲート長の短縮が必須であり、具体的には0.1 μ m～0.2 μ m程度のゲート形成方法を確立する必要がある。ところが、ゲート長を短縮するとゲート抵抗が上昇するため、このような短ゲート長化は高周波帯域におけるゲインの低下やノイズ特性の劣化の一因となる。短ゲート長化と低ゲート抵抗化との双方を実現する手段としてゲートの基板面に接触する下部を微細化すると共に上部の断面積を大きくする、いわゆるT型形状又はマッシュルーム形状のゲート構造が有効であり、超高周波用電界効果型トランジスタ(FET)において広く用いられている。

【0003】以下、従来のT型ゲート電極を有する半導体装置の製造方法について図面を参照しながら説明する。なお、本願においては、T型形状を有するT型ゲート電極の低抵抗化を図るために相対的に大きく形成されている上部側を頂部と呼び、該頂部から下方に延び、短ゲート長化を図るために相対的に小さく形成されている下部側を脚部と呼ぶこととする。

【0004】図8は従来の多層レジストに電子線(Electron Beam; 以下、EBと略称する。)露光を用いたT型ゲート電極の製造方法の工程順の断面構成を示している。ここではEBレジストに、それぞれ一般的であって、感度が互いに異なる2層のポリメチルメタクリレート(以下、PMMAと略称する。)を用いた例を示す。

【0005】まず、図8(a)に示すように、半導体基板101上に、高分子量で且つ低感度のPMMAからなる下層のレジスト膜102と、低分子量で且つ高感度のPMMAからなる上層のレジスト膜103とを順次塗布する。その後、図8(b)に示すように、上層のレジスト膜103におけるゲート電極の頂部形成領域103aに対して1回目のEB露光を行ない、図8(c)に示すように、上層のレジスト膜103に対して現像を行なうことにより、上層のレジスト膜103に頂部形成領域103aのレジストが除去されてなる開口部103bを形成する。

【0006】次に、図8(d)に示すように、下層のレジスト膜102のゲート電極の脚部形成領域102aに対して2回目のEB露光を行なった後、図9(a)に示すように、下層のレジスト膜102に対して現像を行なうと、下層のレジスト膜102に脚部形成領域102aのレジストが除去されてなる開口部102bを形成する。これにより、上層のレジスト膜103の開口部103b及び下層のレジスト膜102の開口部102bにT型のゲート電極形成用のレジストパターンが得られる。

【0007】次に、図9(b)に示すように、半導体基

板101の上に全面にわたって金属膜104Aを蒸着し、続いて、上層のレジスト膜103及び下層のレジスト膜102をリフトオフすることにより、金属膜104AからなるT型ゲート電極104Bを得る。

【0008】

【発明が解決しようとする課題】しかしながら、前記従来のT型ゲート電極を有する半導体装置の製造方法には以下に示す2つの問題がある。

【0009】第1に、レジストの露光にEB露光を用いているため、このEB露光用の装置には非常に大きな投資が必要であり、また、スルーブットも小さいという問題がある。

【0010】第2に、レジストプロセスにおいてゲート長を決定するのはPMMAからなるレジストの開口幅である。ところが、PMMAはドライエッチングに対する耐性が低いため、ウェットプロセス時の水防止等を目的とするドライエッチングを行なうと、エッチング速度が大きいためゲート長が大きくなるという問題がある。さらに、金属をPMMA上に蒸着する際に、該PMMAは耐熱性が低いため、パターン開口部で熱変形を起こすという問題がある。

【0011】本発明は、i線ステッパを用いて、高スルーブットで且つEB露光並みの微細なパターンニングを行なえるようにすることを目的とする。

【0012】

【課題を解決するための手段】前記の目的を達成するため、本発明は、半導体装置の微細パターンの形成に、

(1) 紫外線(i線)に対して感度を持たないレジスト膜を基板上に塗布する工程と、(2) レジスト膜の上にバッファ膜及び紫外線に対して感度を持つ転写用レジスト膜を塗布し、その後、紫外線を用いて転写用レジスト膜に開口パターンを形成し且つレジスト膜に該開口パターンを転写する工程と、(3) 転写用レジスト膜を除去した後、転写された開口パターンを含むレジスト膜の全面に化学増幅型で且つ紫外線に対して感度を持つミキシング層形成用レジスト膜を塗布することにより、レジスト膜とミキシング層形成用レジスト膜との界面にミキシング層を形成する工程とを備えている。

【0013】具体的には、本発明に係る第1の半導体装置の製造方法は、半導体基板の上に、頂部と該頂部から下方に延びる脚部とからなるT型のゲート電極を形成する半導体装置の製造方法であって、半導体基板の上に紫外線に対して反応しない第1のレジスト膜を塗布する工程と、第1のレジスト膜の上に、該第1のレジスト膜と該第1のレジスト膜の上に塗布される第2のレジスト膜とが互いに混合することを防止するバッファ膜を形成する工程と、バッファ膜の上に紫外線に対して反応する第2のレジスト膜を塗布する工程と、第2のレジスト膜に対して紫外線を照射することにより、第2のレジスト膜をパターンニングした後、パターンニングされた第2の

レジスト膜を現像することにより、第2のレジスト膜に第1の開口部を形成する工程と、バッファ膜における第2のレジスト膜の第1の開口部に露出する領域を除去する工程と、第2のレジスト膜及びバッファ膜をマスクとして第1のレジスト膜に対してエッチングを行なうことにより、第1のレジスト膜に第2のレジスト膜の第1の開口部が転写された第2の開口部を形成する工程と、第2のレジスト膜及びバッファ膜を除去した後、半導体基板の上に全面にわたって紫外線に対して反応する第3のレジスト膜を塗布することにより、第1のレジスト膜と第3のレジスト膜との界面に、該第1のレジスト膜と該第3のレジスト膜とが混合してなるミキシング層を形成する工程と、第3のレジスト膜に対して紫外線を照射することにより、第3のレジスト膜をパターンニングした後、パターンニングされた第3のレジスト膜を現像することにより、第3のレジスト膜にゲート電極の頂部形成領域となる上層開口部を形成すると共に、第1のレジスト膜の第2の開口部の壁面がミキシング層により覆われ、ゲート電極の脚部形成領域となる下層開口部を形成する工程と、半導体基板の上における下層開口部及び上層開口部に導体膜を充填することにより、導体膜からなるT型のゲート電極を形成する工程とを備えている。

【0014】第1の半導体装置の製造方法によると、基板上に、紫外線に対して感度を持たない電子線露光用の第1のレジスト膜とバッファ膜とi線露光用の第2のレジスト膜とを順次塗布した後、転写用の第2のレジスト膜の開口パターンを第1のレジスト膜に転写する。その後、開口パターンを含む第1のレジスト膜の上に全面に、該第1のレジスト膜と混合してミキシング層を形成するミキシング層形成用の第3のレジスト膜を塗布した後、該第3のレジスト膜に紫外線（i線）を用いたパターンニング及び現像を行なうと、第3のレジスト膜に頂部用の上層開口部を形成すると共に第1のレジスト膜に脚部用の下層開口部を形成する。従って、下層開口部の壁面は、第1のレジスト膜と第3のレジスト膜とが混合してなるミキシング層に覆われるため、そのミキシング層の膜厚分だけ下層開口部の開口幅が小さくなるので、EB露光を用いることなく、該開口幅をEB露光並みに微細化できる。さらに、第1のレジスト膜と第2のレジスト膜との間に第1及び第2のレジスト膜同士が互いに混合することを防止するバッファ膜を形成するため、第1のレジスト膜の第2の開口部の形状が崩れることがない。

【0015】本発明に係る第2の半導体装置の製造方法は、半導体基板の上に紫外線に対して反応しない第1のレジスト膜を塗布する工程と、第1のレジスト膜の上に、該第1のレジスト膜と該第1のレジスト膜の上に塗布される第2のレジスト膜とが互いに混合することを防止するバッファ膜を形成する工程と、バッファ膜の上に紫外線に対して反応する第2のレジスト膜を塗布する工

10

20

30

40

50

程と、第2のレジスト膜に対して紫外線を照射することにより、第2のレジスト膜をパターンニングした後、パターンニングされた第2のレジスト膜を現像することにより、第2のレジスト膜に第1の開口部を形成する工程と、バッファ膜における第2のレジスト膜の第1の開口部に露出する領域を除去する工程と、第2のレジスト膜及びバッファ膜をマスクとして第1のレジスト膜に対してエッチングを行なうことにより、第1のレジスト膜に第2のレジスト膜の第1の開口部が転写された第2の開口部を形成する工程と、第2のレジスト膜及びバッファ膜を除去した後、半導体基板の上に全面にわたって紫外線に対して反応する第3のレジスト膜を塗布することにより、第1のレジスト膜と第3のレジスト膜との界面に、該第1のレジスト膜と該第3のレジスト膜とが混合してなるミキシング層を形成する工程と、第3のレジスト膜を現像することにより、第1のレジスト膜に第2の開口部の壁面がミキシング層により覆われてなる第3の開口部を形成する工程と、半導体基板の上における第3の開口部に導体膜を充填することにより、導体膜からなる配線パターンを形成する工程とを備えている。

【0016】第2の半導体装置の製造方法によると、基板上に、紫外線に対して感度を持たない電子線露光用の第1のレジスト膜とバッファ膜とi線露光用の第2のレジスト膜とを順次塗布した後、転写用の第2のレジスト膜の開口パターンを第1のレジスト膜に転写する。その後、開口パターンを含む第1のレジスト膜の上に全面に、該第1のレジスト膜と混合してミキシング層を形成するミキシング層形成用の第3のレジスト膜を塗布した後、該第3のレジスト膜を露光せずに現像することにより、第1のレジスト膜の第2の開口部の壁面がミキシング層により覆われた第3の開口部を形成する。従って、第3の開口部の壁面は、第1のレジスト膜と第3のレジスト膜とが混合してなるミキシング層に覆われるため、そのミキシング層の膜厚分だけ第3の開口部の開口幅が小さくなるので、EB露光を用いることなく、該開口幅をEB露光並みに微細化できる。さらに、第1のレジスト膜と第2のレジスト膜との間に第1及び第2のレジスト膜同士が互いに混合することを防止するバッファ膜を形成するため、第1のレジスト膜の第2の開口部の形状が崩れることがない。

【0017】第1又は第2の半導体装置の製造方法において、第1のレジスト膜がポリメチルメタクリレート（PMMA）を含むレジストからなることが好ましい。

【0018】第1又は第2の半導体装置の製造方法において、バッファ膜がポリジメチルグルタリイミド（PMGI）を含むレジストからなることが好ましい。

【0019】第1又は第2の半導体装置の製造方法において、バッファ膜が金属からなることが好ましい。

【0020】第1又は第2の半導体装置の製造方法において、第2のレジスト膜がエチルセロソルブアセテート

とノボラック樹脂とを含むレジストからなることが好ましい。

【0021】第1又は第2の半導体装置の製造方法において、第3のレジスト膜がプロピレングリコールモノメチルエーテルアセテート(PGMEA)とメタクリル樹脂とを含むレジストからなることが好ましい。

【0022】

【発明の実施の形態】(第1の実施形態)本発明の第1の実施形態について図面を参照しながら説明する。

【0023】図1〜図4は本発明の第1の実施形態に係る半導体装置の製造方法であって、T型ゲート電極を持つ電界効果型トランジスタの製造方法の工程順の断面構成を示している。まず、図1(a)に示すように、例えば、上部にGaAs系の半導体結晶がヘテロ接合されるエピタキシャル層11aを有するGaAsからなる基板11に、ホウ素(B)イオン又は酸素(O)イオンを注入することにより選択的に素子分離領域11bを形成する。ここで、素子分離領域11bを形成する代わりに、該素子分離領域11bに対してメサエッチングを行なって該素子分離領域11bを除去してもよい。その後、エピタキシャル層11aの上面に、基板11と、該基板11の上面に塗布するレジスト膜との密着性を高めるためのSiN等からなり膜厚が約20nmの絶縁膜12を形成する。

【0024】次に、図1(b)に示すように、EB露光用でPMMAを主成分とする第1のレジスト膜13を塗布し、該第1のレジスト膜13に対して所定のベークングを行なう。第1のレジスト膜13の膜厚はT型ゲート電極の高さ寸法を規制し、脚部を高き方向に大きくするとゲート電極と基板及びオーミック電極間の寄生容量が低減するため、該膜厚は高周波動作に大きな影響を与える。一方、第1のレジスト膜13の膜厚を厚くし過ぎるとゲート長とのアスペクト比が大きくなるため、T型ゲート電極の脚部と頂部との接続が不十分となるので、ゲート抵抗が増加する。従って、本実施形態においては、第1のレジスト膜13の膜厚を100nm〜200nm程度とする。

【0025】次に、図1(c)に示すように、第1のレジスト膜13の上面に、EB露光用でポリジメチルグルタルイミド(以下、PMGIと略称する。)を主成分とし、第1のレジスト膜13と混合しないポジ型レジストからなるバッファ膜14を塗布し、第1のレジスト膜13と同様に所定のベークングを行なう。ここで、バッファ膜14の膜厚はパターンニングの精度を上げるには薄ければ薄い程良い。

【0026】次に、図1(d)に示すように、バッファ膜14の上に、波長が365nmの紫外線であるi線に対して感光するポジ型レジストであり、エチルセロソルブアセテートとノボラック樹脂とを主成分とするTHMR-3000からなる転写用レジスト膜としての第

2のレジスト膜15を塗布する。その後、i線ステッパを用いて第2のレジスト膜15に対して選択的に露光し、現像液であるテトラメチルアンモニウムヒドロキシサイド(以下、TMAHと略称する。)を用いて現像を行なって、第2のレジスト膜15に、例えば、第1の開口部15aのようにパターンニングを施す。ここで、現像液のTMAHはバッファ膜14に対してもエッチングが進行するので、第2のレジスト膜15と共にバッファ膜14にも該第2のレジスト膜15の第1の開口部15aと同一寸法の開口部が形成されるように現像時間を調節する。

【0027】次に、図2(a)に示すように、第1の開口部15aを有する第2のレジスト膜15をマスクとし、該第1のレジスト膜13に第1の開口部15aと同一寸法の第2の開口部13aが形成されるように、すなわち転写されるように、第1のレジスト膜13に対してO₂ガスをを用いた異方性のドライエッチングを行なう。

【0028】次に、図2(b)に示すように、第1のレジスト膜13とバッファ膜14とが互いに混合しないこと及び現像液が互いに異なることを利用して、i線ステッパを用いて第2のレジスト膜15に対して全面的にi線露光を行ない、続いて、現像液にTMAHを用いて5分程度の現像を行なうことにより、第2のレジスト膜15及びバッファ膜14を除去する。

【0029】以上の工程により、EB露光用の第1のレジスト膜13にEB露光を用いずにパターンニングを施すことができる。ここで、第2の開口部13aの開口幅はi線パターンニングの解像限界で規制される寸法となり、通常は0.35μm程度となり、位相シフト法を用いれば0.25μm程度となる。

【0030】次に、図2(c)に示すように、基板11の上に全面にわたってi線露光用で且つミキシング層形成用の第3のレジスト膜16を塗布する。ここで、第3のレジスト膜16には東京応化(株)製のネガ型レジストであるプロピレングリコールモノメチルエーテルアセテート(PGMEA)とメタクリル樹脂とを主成分とする商品名TLOR-N001(以下、TLORと略称する。)を用いる。第3のレジスト膜16はT型ゲート電極の頂部の高さ寸法を規制し、一般にゲート電極形成用の金属膜の膜厚はゲート抵抗を低減するために0.5μm以上に堆積する必要がある、ここでは第3のレジスト膜16の膜厚を0.5μm〜1.5μm程度としている。なお、このTLORは化学増幅型のレジストであって、塗布後にはプリベーク処理、露光処理、露光後ベーク処理(PEB; Post Exposure Baking)処理及び現像処理を順次行なう必要がある。

【0031】これにより、図2(c)に示すように、第3のレジスト膜16を塗布した後のいずれかの処理において、第3のレジスト膜16における第1のレジスト膜13側に、第3のレジスト膜16と第1のレジスト膜1

3とが混合してなるミキシング層17が形成される。このミキシング層17は第1のレジスト膜13の第2の開口部13aの壁面にも形成されるため、ミキシング層17が形成されることによって、第1のレジスト膜13における第2の開口部13aの開口幅は両壁面を併せて約150nm~200nm程度小さくなり、その結果、このような開口幅の微細化効果により、通常のi線パターンニングの解像限界である0.35μmのパターン幅を0.15μm程度にまで微細化することができる。

【0032】次に、図2(d)に示すように、第3のレジスト膜16におけるT型ゲート電極の頂部形成領域を除く領域にi線露光を行なってパターンニングを施した後、所定の現像を行なうことにより、第3のレジスト膜16にはT型ゲート電極の頂部形成領域となる上層開口部16aが形成されると共に、第1のレジスト膜13の第2の開口部13aにはその壁面及び周辺部がミキシング層17に覆われてなり、T型ゲート電極の微細化された脚部形成領域となる下層開口部17aが形成される。

【0033】次に、図3(a)に示すように、四フッ化炭素(CF₄)等のガスを用いて、絶縁膜12におけるミキシング層17の下層開口部17aに露出する領域に対してドライエッチングを行なうことにより、脚部形成領域の一部となる開口部12aを形成する。その後、O₂、プラズマを用いて、エビタキシャル層11a上の開口部12aに露出する領域に対して、ドライリセスエッチングの前行程である酸処理時のはっ水防止を目的とするドライエッチングを行なう。このときに、ミキシング層17はPMMA単体の場合と比較して、耐熱性と、O₂やCF₄等のプラズマに対する耐ドライエッチング性に優れており、このミキシング層17によってドライエッチングによる下層開口部17aの開口寸法の拡大を防ぐことができる。

【0034】次に、図3(b)に示すように、エビタキシャル層11aに対してドライリセスによるリセスエッチングを行なって、エビタキシャル層11aに含まれるショットキー層を露出させるリセス部11cを形成し、その後、図3(c)に示すように、EB蒸着法を用いて、基板11上の全面にわたってTi/Pt/Au(50nm/50nm/400nm)からなるT型ゲート電極形成用の金属膜18Aを蒸着する。その後、図3

(d)に示すように、第1のレジスト膜13、ミキシング層17及び第3のレジスト膜16をリフトオフすることにより、金属膜18Aからなり、頂部18aと該頂部18aから下方に延びる脚部18bとから構成されるT型ゲート電極18Bを形成する。

【0035】次に、図4(a)に示すように、エビタキシャル層11aの上におけるソース・ドレイン電極形成領域に開口部19aをそれぞれ有するレジストパターン19を形成した後、CF₄、ガスを用いて絶縁膜12に対してドライエッチングを行なって、絶縁膜12のソース

・ドレイン電極形成領域を除去する。その後、基板11の上に全面にわたって、例えば、Auを含む金属膜20Aを蒸着させ、レジストパターン19をリフトオフすることにより、図4(b)に示すように、金属膜20Aからなるソース電極20B及びドレイン電極20Cをそれぞれ形成する。

【0036】このように、本実施形態によると、T型ゲート電極18Bの脚部18b形成用の開口部を形成する第1のレジスト膜13に、EB露光用のPMMAを用いているものの、第1のレジスト膜13の上にバッファ膜14を挟んでi線露光用の第2のレジスト膜15を積層する。その後、該第2のレジスト膜15に対して選択的にi線露光を行なって、該第2のレジスト膜15に第1の開口部15aを形成し、この開口パターンをバッファ膜14及び第1のレジスト膜13に転写して、第1のレジスト膜13に第2の開口部13aを形成する。

【0037】この時点では、第1のレジスト膜13の第2の開口部13aの開口寸法はi線の解像度を越えることはないが、第1のレジスト膜13の上に、該第1のレジスト膜13とミキシング層17を形成する化学増幅型のTLORからなる第3のレジスト膜16を塗布することにより、第1のレジスト膜13の第2の開口部13aの開口寸法が自己整合的に縮小される。

【0038】従って、高コストで且つ低スループットのEB露光を用いることなく、より簡便でスループットが大きいi線露光のみを用いてEB露光並みの微細化されたT型ゲート電極18Bを実現できる。

【0039】さらに、第1のレジスト膜13に耐熱性及び耐ドライエッチング性に劣るPMMAを用いても、該PMMAが第2の開口部13aも含めて、耐熱性及び耐ドライエッチング性に優れたミキシング層17に全面的に覆われるため、ミキシング層17の下層開口部17aの微細化構造が製造工程中に変形することなく確実に保持される。

【0040】また、第3のレジスト膜16に形成される、T型ゲート電極18Bの頂部形成領域となる上層開口部16aは、ネガ型レジストを用いているため、頂部側の開口寸法が脚部側の開口寸法よりも小さくなるので、T型ゲート電極18Bを形成する際のリフトオフ時に金属膜18AとT型ゲート電極18Bの頂部18aとを容易に分離できる。

【0041】(第1の実施形態の一変形例) 第1の実施形態においては、バッファ膜14にEB露光用のPMGIからなるレジストを用いたが、膜厚が100nm程度のチタン(Ti)又はアルミニウム(Al)からなる金属膜であってもよい。

【0042】この場合には、図1(d)に示した第2のレジスト膜15の第1の開口部15aを形成する際には該金属膜に開口部が形成されず、代わりに、次の図2(a)に示した第1のレジスト膜13に第2の開口部1

3aを形成する工程において、CF₄ガスをを用いて異方性ドライエッチングを行なって開口する。

【0043】また、該金属膜は、図2(b)に示した第2のレジスト膜15の現像液TMAHを用いた除去工程では除去されないため、この後に別工程を設け、該金属膜をフッ化水素(HF)水溶液を用いて除去する必要がある。

【0044】(第2の実施形態)以下、第2の実施形態について図面を参照しながら説明する。

【0045】第1の実施形態においては、電界効果型トランジスタにおける短ゲート長化を容易に実現できる製造方法を説明したが、配線パターンやトランジスタ等の電極との接続孔であるコンタクトホール、それに多層配線構造における異層間の配線層同士を接続するビアホール等も微細化が進んでいる。

【0046】図5～図7は本発明の第2の実施形態に係る半導体装置のコンタクトホールの製造方法の工程順の断面構成を示している。図5(a)に示すように、例えば、シリコン(Si)からなる基板31には、素子分離領域となるフィールド酸化膜32によって互いに分離され、それぞれポリシリコンからなるゲート電極33を有する複数のMOSFET34が形成され、基板31上には全面にわたって、例えば、二酸化シリコン(SiO₂)からなる絶縁膜35が形成されている。

【0047】まず、図5(b)に示すように、EB露光用でPMMAを主成分とする第1のレジスト膜36を塗布し、該第1のレジスト膜36に対して所定のベークングを行なう。その後、第1のレジスト膜36の上面に、EB露光用でPMGIを主成分とするポジ型レジストからなるバッファ膜37を塗布し、その後、第1のレジスト膜36と同様に所定のベークングを行なう。さらに、バッファ膜37の上面に、転写用レジスト膜となるi線露光用のポジ型レジストであるTHMR-*ip*3000からなる第2のレジスト膜38を塗布する。ここで、前述したように、バッファ膜37は、第1のレジスト膜36と該第1のレジスト膜36の上に塗布される第2のレジスト膜38との混合防止用であって、その膜厚は薄い程良い。

【0048】次に、図5(c)に示すように、i線ステッパを用いて第2のレジスト膜38に対して選択的に露光し、現像液にTMAHを用いて第2のレジスト膜38を現像して、例えば、第1の開口部38aのようにパターンニングを施す。このときの現像工程において、バッファ膜37に対しても第2のレジスト膜38の各第1の開口部38aと同一寸法の開口部がそれぞれ形成されるように現像時間を調節する。

【0049】次に、図6(a)に示すように、第1の開口部38aを有する第2のレジスト膜38をマスクとし、該第1のレジスト膜36に第1の開口部38aと同一寸法の第2の開口部36aがそれぞれ形成されるよう

に、すなわち転写されるように、第1のレジスト膜36に対してO₂ガスをを用いた異方性のドライエッチングを行なう。

【0050】次に、図6(b)に示すように、第1のレジスト膜36とバッファ膜37とが互いに混合しないことと現像液が互いに異なることを利用して、i線ステッパを用いて第2のレジスト膜38に対して全体的にi線露光を行ない、続いて、現像液にTMAHを用いて5分程度の現像を行なうことにより、第2のレジスト膜38及びバッファ膜37を除去する。

【0051】以上の工程により、EB露光用の第1のレジスト膜36に、EB露光を行なうことなくパターンニングを施すことができる。ここで、第2の開口部36aの開口幅はi線パターンニングの解像限界で規制される寸法となり、通常は0.35μm程度となり、位相シフト法を用いれば0.25μm程度となる。

【0052】次に、図6(c)に示すように、基板31の上に全面にわたってi線露光用ネガ型レジストで且つミキシング層形成用の、TLORを用いた第3のレジスト膜39を塗布する。なお、このTLORは化学増幅型のレジストであって、通常、塗布後にはプリベーク処理、露光処理、露光後ベーク(PEB)処理及び現像処理を順次行なう必要がある。

【0053】これにより、図6(c)に示すように、第3のレジスト膜39を塗布した後のいずれかの処理において、第3のレジスト膜39における第1のレジスト膜36側に、第3のレジスト膜39と第1のレジスト膜36とが混合してなるミキシング層40が形成される。このミキシング層40は第1のレジスト膜36の各第2の開口部36aの壁面にもそれぞれ形成されるため、ミキシング層40が形成されることによって、第1のレジスト膜36における各第2の開口部36aの開口幅は両壁面を併せて約150nm～200nm程度小さくなり、その結果、このような開口幅の微細化効果により、通常のi線パターンニングの解像限界である0.35μmのパターン幅を0.15μm程度にまで微細化することができる。

【0054】ここでは、第3のレジスト膜39のパターンニングが不要であるため、第3のレジスト膜39に対して露光することなく現像を行なう。

【0055】次に、図7(a)に示すように、第1のレジスト膜36及び該第1のレジスト膜36を保護し且つ微細化を実現するミキシング層40をマスクとして、絶縁膜35に対してCF₄等のガスをを用いて異方性のドライエッチングを行ない、その後、図7(b)に示すように、第1のレジスト膜36及びミキシング層40を除去することにより、該絶縁膜35に第3の開口部としてのコンタクトホール35aを形成する。

【0056】次に、図7(c)に示すように、例えば、スパッタ法を用いて、基板31の上に全面にTi/Ti

10

20

30

40

50

N/A1-Cuが積層されてなる金属膜を蒸着し、フォトリソグラフィを用いて該金属膜をパターンニングすることにより配線パターン41を形成する。

【0057】このように、本実施形態によると、コンタクトホール用の開口部を形成する第1のレジスト膜36に、EB露光用のPMMAを用いているものの、第1のレジスト膜36の上にバッファ膜37を挟んでi線露光用の第2のレジスト膜38を積層する。その後、該第2のレジスト膜38に対して選択的にi線露光を行なって第1の開口部38aを形成し、この開口パターンをバッファ膜37及び第1のレジスト膜36に転写して、第1のレジスト膜36に第2の開口部36aを形成する。

【0058】この時点では、第1のレジスト膜36の第2の開口部36aの開口寸法はi線の解像度を越えることはないが、第1のレジスト膜36の上に、該第1のレジスト膜36とミキシング層40を形成する化学増幅型のTLO Rからなる第3のレジスト膜39を塗布することにより、第1のレジスト膜36の第2の開口部36aの開口寸法が自己整合的に縮小される。

【0059】従って、高コストで且つスループットが小さいEB露光を用いることなく、より簡便でスループットが大きいi線露光のみを用いてEB露光並みの微細化されたコンタクトホール35aを実現できる。

【0060】さらに、第1のレジスト膜36に耐熱性及び耐ドライエッチング性に劣るPMMAを用いても、該PMMAが第2の開口部36aも含めて、耐熱性及び耐ドライエッチング性に優れたミキシング層40に全面的に覆われるため、ミキシング層40により形成される微細化構造が製造工程中に変形することなく確実に保持される。

【0061】なお、本実施形態においては、配線パターン41に1層のみを示したが、多層配線パターンに適用できることはいうまでもない。

【0062】また、基板31上のMOSFET34の電極と絶縁膜35の上面に設けられる配線パターン41とを電気的に接続するためのコンタクトホール35aの微細化を例に挙げたが、これに限らず、ビアホールや、さらには配線パターン本体の微細化にも同様に適用できる。

【0063】

【発明の効果】本発明の第1又は第2の半導体装置の製造方法によると、紫外線に対して感度を持たない第1のレジスト膜の開口部の壁面は、第1のレジスト膜と第3のレジスト膜とが混合してなるミキシング層に覆われるため、該ミキシング層の膜厚分だけ下層開口部の開口幅が小さくなるので、高コストで且つ低スループットのEB露光を用いることなく、例えば、i線露光を用いて、該開口幅をEB露光並みに微細化できる。

【0064】さらに、第1のレジスト膜と第2のレジスト膜との間に第1及び第2のレジスト膜同士が互いに混

合しないようにするためのバッファ膜を形成するため、第1のレジスト膜の第2の開口部の形状が崩れることなく、確実に微細化を実現できる。

【0065】また、第1のレジスト膜にPMMAを用いる場合には、該PMMAは相対的に耐熱性及び耐ドライエッチング性に劣るものの、該PMMAを覆うミキシング層は、一般にPMMAよりも耐熱性及び耐ドライエッチング性に優れるため、ミキシング層からなる微細化構造は製造中にも確実に維持される。

10 【0066】第1又は第2の半導体装置の製造方法において、第1のレジスト膜がポリメチルメタクリレート(PMMA)を含むレジストからなると、第3のレジスト膜にTLO Rを用いた場合には、ミキシング層が確実に形成される。

【0067】第1又は第2の半導体装置の製造方法において、バッファ膜がポリジメチルグルタリイミド(PMGI)を含むレジストからなると、該PMGIは紫外線に対して感度を持たない第1のレジスト膜と混合しないため、第1のレジスト膜と第2のレジスト膜とが互いに混合することを確実に防止するので、第1のレジスト膜に所望のパターンニングを施すことができる。

20 【0068】第1又は第2の半導体装置の製造方法において、バッファ膜が金属からなると、該金属は、第1のレジスト膜と第2のレジスト膜とが互いに混合することを確実に防止するので、第1のレジスト膜に所望のパターンニングを施すことができる。

【0069】第1又は第2の半導体装置の製造方法において、第2のレジスト膜がエチルセロソルブアセテートとノボラック樹脂とを含むレジストからなると、該レジストは、紫外線のうちのi線と確実に反応するため、i線ステッパを用いて第2のレジスト膜に所望のパターンニングを確実に施すことができる。

30 【0070】第1又は第2の半導体装置の製造方法において、第3のレジスト膜がプロピレングリコールモノメチルエーテルアセテート(PGMEA)とメタクリル樹脂とを含むレジストからなると、第1のレジスト膜にPMMAを用いる場合には、ミキシング層が確実に形成される。

【図面の簡単な説明】

40 【図1】本発明の第1の実施形態に係る半導体装置の製造方法であって、T型ゲート電極を持つ電界効果型トランジスタの製造方法の工程順の構成断面図である。

【図2】本発明の第1の実施形態に係る半導体装置の製造方法であって、T型ゲート電極を持つ電界効果型トランジスタの製造方法の工程順の構成断面図である。

【図3】本発明の第1の実施形態に係る半導体装置の製造方法であって、T型ゲート電極を持つ電界効果型トランジスタの製造方法の工程順の構成断面図である。

50 【図4】本発明の第1の実施形態に係る半導体装置の製造方法であって、T型ゲート電極を持つ電界効果型トラ

ンジスタの製造方法の工程順の構成断面図である。

【図5】本発明の第2の実施形態に係る半導体装置におけるコンタクトホール製造方法の工程順の構成断面図である。

【図6】本発明の第2の実施形態に係る半導体装置におけるコンタクトホール製造方法の工程順の構成断面図である。

【図7】本発明の第2の実施形態に係る半導体装置におけるコンタクトホール製造方法の工程順の構成断面図である。

【図8】従来のEB露光を用いたT型ゲート電極の製造方法の工程順の構成断面図である。

【図9】従来のEB露光を用いたT型ゲート電極の製造方法の工程順の構成断面図である。

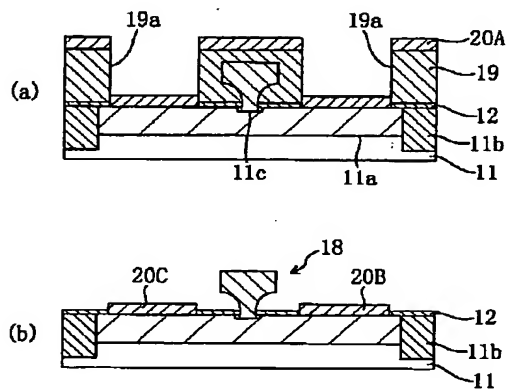
【符号の説明】

11 基板
11a エピタキシャル層
11b 素子分離領域
11c リセス部
12 絶縁膜
12a 開口部
13 第1のレジスト膜 (PMMA)
13a 第2の開口部
14 バッファ膜 (PMGI)
15 第2のレジスト膜 (THMR-*i p 3000* : 転写用レジスト膜)
15a 第1の開口部
16 第3のレジスト膜 (TLOR : ミキシング層形成用レジスト膜)

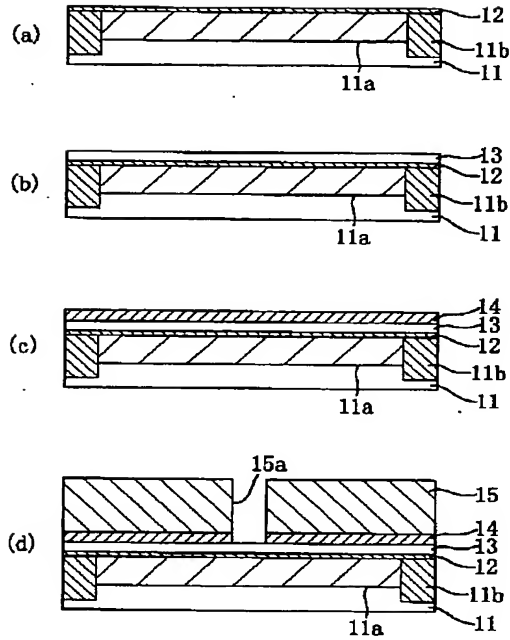
* 16a 上層開口部
17 ミキシング層
17a 下層開口部
18A 金属膜
18B ゲート電極
18a 頂部
18b 脚部
19 レジストパターン
19a 開口部
20A 金属膜
20B ソース電極
20C ドレイン電極
31 基板
32 フィールド酸化膜
33 ゲート電極
34 MOSFET
35 絶縁膜
35a コンタクトホール (第3の開口部)
36 第1のレジスト膜 (PMMA)
36a 第2の開口部
37 バッファ膜 (PMGI)
38 第2のレジスト膜 (THMR-*i p 3000* : 転写用レジスト膜)
38a 第1の開口部
39 第3のレジスト膜 (TLOR : ミキシング層形成用レジスト膜)
40 ミキシング層
41 配線パターン

*

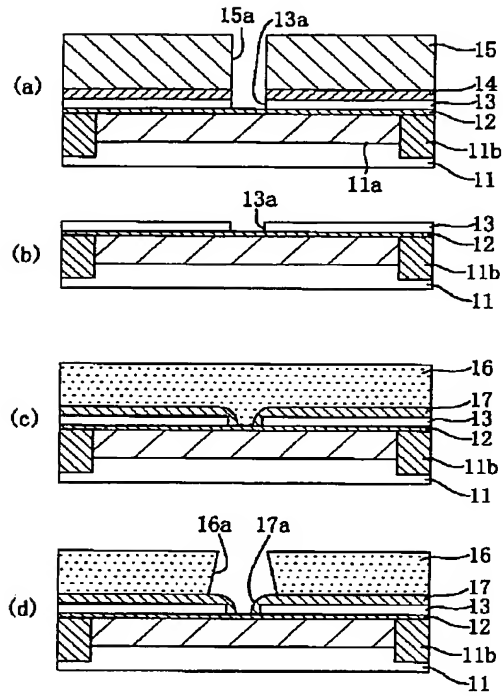
【図4】



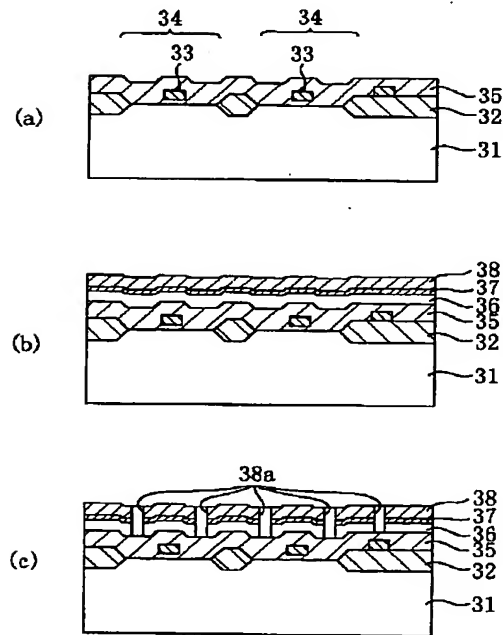
【図1】



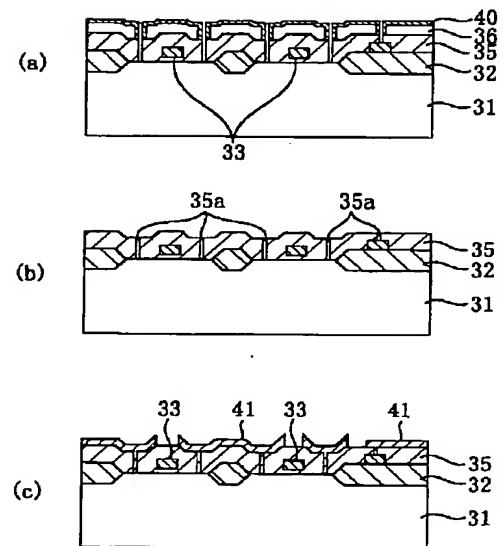
【図2】



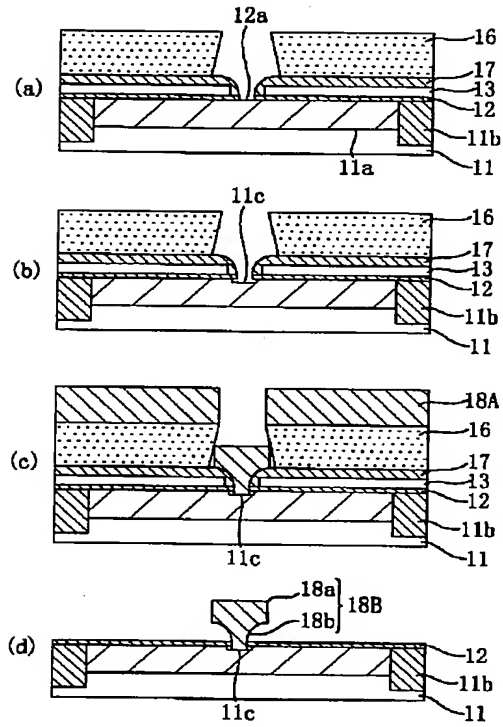
【図5】



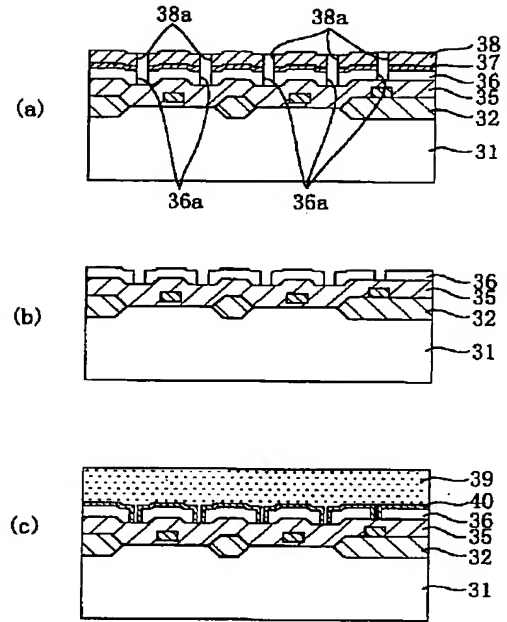
【図7】



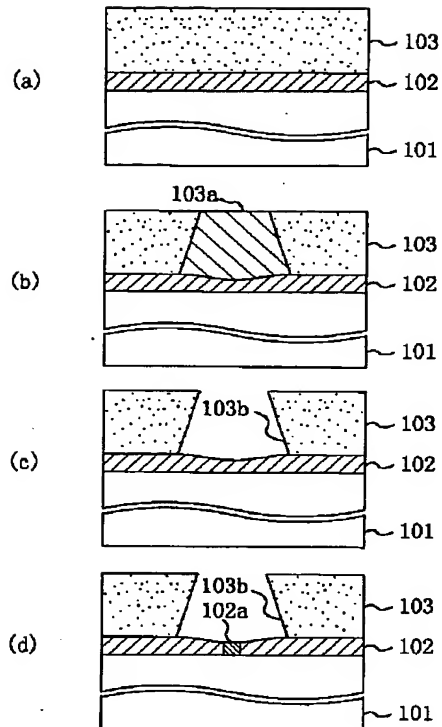
【図3】



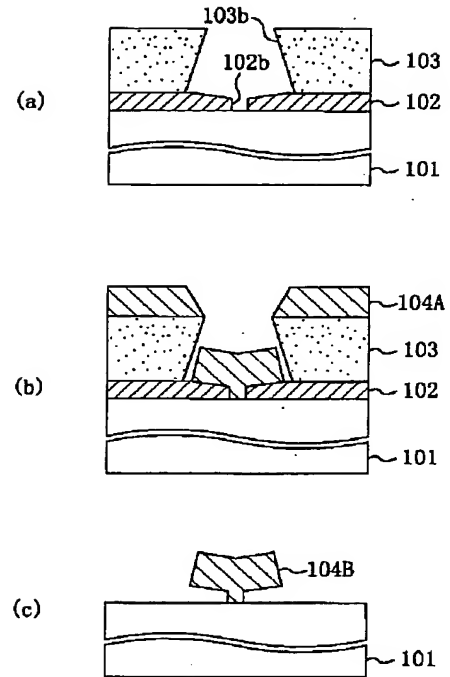
【図6】



【図8】



【図9】



フロントページの続き

(72)発明者 井上 薫
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内

(72)発明者 柳原 学
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内

(72)発明者 田邊 充
 大阪府門真市大字門真1006番地 松下電器
 産業株式会社内